

JP 403209771 A
SEP 1991257
412

(54) SEMICONDUCTOR DEVICE

(11) 3-209771 (A) (43) 12.9.1991 (19) JP

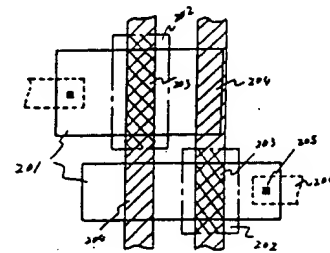
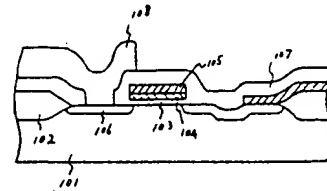
(21) Appl. No. 2-4183 (22) 11.1.1990

(71) SEIKO EPSON CORP (72) KAZUYOSHI HIRAKAWA

(51) Int. Cl.⁵ H01L29/50, H01L21/3205, H01L21/336, H01L29/46, H01L29/784

PURPOSE: To enable buried contact in MOS type field effect transistors of N-type and P-type while a laminated film of polycrystalline silicon containing phosphorus, and high melting point metal is used as a gate electrode, by a method wherein a gate electrode on an active layer and the periphery is composed of a film whose main component is silicon and a high melting point metal based film, a wiring on an inert region is composed of high melting point metal based film, and either one of a source electrode or a drain electrode is composed of a high melting point metal based film in contact with silicon metal.

CONSTITUTION: A gate oxide film 103 is grown on an active region 201; a polycrystalline silicon film is grown on the film 103; phosphorus is diffused; the part except a region 202 covering a gate electrode is eliminated; thereon a molybdenum silicide film is vapor deposited; an N-type polycrystal silicon films 104, 203, and molybdenum silicide films 105, 204 are formed. Finally, after a P-type diffusion layer 106 is formed by using the N-type polycrystalline silicon films 104, 203, and the molybdenum silicide films 105, 204 as masks, an interlayer insulating film 107 is formed, annealing is performed, a through hole 205 is bored in the interlayer insulating film 107, and aluminum wiring films 108 and 206 are formed.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-209771

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月12日

H 01 L 29/50
21/3205
21/336
29/46
29/784

U 7738-5F

R 7738-5F
T 7738-5F

6810-5F H 01 L 21/88 Q
8422-5F 29/78 3 0 1 P

審査請求 未請求 請求項の数 2 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-4183

⑰ 出 願 平2(1990)1月11日

⑱ 発 明 者 平 河 一 喜 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) MOS型電界効果トランジスタを含む集積回路において、活性領域上および周囲のゲート電極が、シリコンを主成分とする膜と、高融点金属あるいは高融点金属化合物膜からなり、不活性領域上の配線が前記高融点金属あるいは高融点金属化合物膜からなり、ソース電極あるいはドレイン電極の少なくとも一方の電極が、シリコン基板に接触した前記高融点金属あるいは高融点金属化合物膜からなることを特徴とする半導体装置。

(2) 前記シリコンを主成分とする膜は、燐を含んでいる多結晶シリコン膜であることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS型電界効果トランジスタの構造に関する。

〔従来の技術〕

従来のMOS型電界効果トランジスタにおける埋め込みコンタクトの構造は、ゲート電極と同一の構造を持つ配線が、ソース、あるいは、ドレインの部分のシリコン基板に直接接触し、ソース電極、あるいはドレイン電極の少なくとも一方の電極を形成するものであった。

〔発明が解決しようとする課題〕

しかし、前述の従来技術では、可導イオンによる閾値電圧の不安定性を少なくするために、一般的に、燐を含んだ多結晶シリコン膜を、あるいは、燐を含んだ多結晶シリコンと高融点金属の積層膜(ポリサリイド構造)をゲート電極、ソース電極、あるいはドレイン電極に用いているため、N形MOS型電界効果トランジスタのみにしか埋め込みコンタクトの構造を使用できないという問題点を有していた。

そこで本発明はこのような問題点を解決するもので、その目的とするところは、燐を含んだ多結晶シリコンと高融点金属の積層膜（ポリサリド構造）をゲート電極に用いながら、N形、及び、P形MOS型電界効果トランジスタに、埋め込みコンタクトが可能な半導体装置を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置は、活性領域上および周囲のゲート電極が、シリコンを主成分とする膜と、高融点金属あるいは高融点金属化合物膜からなり、不活性領域上の配線が前記高融点金属あるいは高融点金属化合物膜からなり、ソース電極あるいはドレイン電極の少なくとも一方の電極が、シリコン基板に接触した前記高融点金属あるいは高融点金属化合物膜からなることを特徴とする。

〔実施例〕

第1図は、本発明の実施例における半導体装置の断面図を示す。101は、N形シリコン基板、102は、シリコン酸化膜、103は、ゲート酸

化膜、202は、ゲート電極を覆う領域、203はN型多結晶シリコン膜、204は硅化モリブデン膜、205はスルーホール、206はアルミニウム配線膜である。まず、N形シリコン基板101に、シリコン酸化膜102を形成し、活性領域201にゲート酸化膜103を20nm成長し、その上にCVD法により多結晶シリコン膜を200nm成長し、燐の雰囲気中で多結晶シリコン膜に燐を拡散し、N形多結晶シリコン膜及びゲート酸化膜、場所によっては、N形多結晶シリコン膜のみをホットエッチング法により、ゲート電極を覆う領域202以外を除去する。

次に、その上に、硅化モリブデン膜を200nmスパッター法により蒸着し、ホットエッチング法により、配線領域以外の硅化モリブデン膜あるいは、硅化モリブデン膜とN形多結晶シリコン膜を除去し、第1図および第2図に示すN型多結晶シリコン膜104、203、と硅化モリブデン膜105、204を形成する。

最後に、N型多結晶シリコン膜104、203、

と硅化モリブデン膜105、204をマスクにして、燐素を $2 \times 10^{15} \text{cm}^{-2}$ イオン打ち込みし、P形拡散層106を形成した後、CVD法により、酸化シリコン膜を600nm成長し、層間絶縁膜107を形成し、1000℃20分アニールを行い、スルーホール205を層間絶縁膜107に開け、アルミニウムを1000nmスパッタ法により蒸着し、所望のパターンにホットエッチング法により加工し、アルミニウム配線膜108、206を形成する。

以上工程を経て、本発明の半導体装置が完成する。

上記実施例では、P形MOS型電界効果トランジスタについて説明したが、N形MOS型電界効果トランジスタにおいても、ソース、ドレイン形成のためのイオン打ち込み不純物タイプが異なるだけで、同様に実施でき、又、相補形MOS型電界効果トランジスタにも実施できる。さらには、配線金属として、硅化タングステン膜、硅化チタニウム膜

次に、本発明の製造方法について第1図および第2図を用いて説明する。第2図は、本発明の実施例における半導体装置の平面図を示す。201

と硅化モリブデン膜105、204をマスクにして、燐素を $2 \times 10^{15} \text{cm}^{-2}$ イオン打ち込みし、P形拡散層106を形成した後、CVD法により、酸化シリコン膜を600nm成長し、層間絶縁膜107を形成し、1000℃20分アニールを行い、スルーホール205を層間絶縁膜107に開け、アルミニウムを1000nmスパッタ法により蒸着し、所望のパターンにホットエッチング法により加工し、アルミニウム配線膜108、206を形成する。

以上工程を経て、本発明の半導体装置が完成する。

上記実施例では、P形MOS型電界効果トランジスタについて説明したが、N形MOS型電界効果トランジスタにおいても、ソース、ドレイン形成のためのイオン打ち込み不純物タイプが異なるだけで、同様に実施でき、又、相補形MOS型電界効果トランジスタにも実施できる。さらには、配線金属として、硅化タングステン膜、硅化チタニウム膜

などの高融点金属化合物や、モリブデン膜、タン
グステン膜などの高融点金属でも同等の効果が得
られる。本発明の趣旨を逸脱しない範囲において、
種々変更可能な事は言うまでもない。

〔発明の効果〕

以上述べたように本発明によれば、活性領域上
および周囲のゲート電極が、シリココンを主成分
とする膜と、高融点金属あるいは高融点金属化合
物膜からなり、不活性領域上の配線が前記高融点
金属あるいは高融点金属化合物膜からなり、ソー
ス電極あるいはドレイン電極の少なくとも一方の
電極が、シリコン基板に接触した前記高融点金属
あるいは高融点金属化合物膜からなることにより、
溝を含んだ多結晶シリコンと高融点金属の積層膜
(ポリサライド構造)をゲート電極に用いながら、
N形、及び、P形MOS型電界効果トランジスタ
において、埋め込みコンタクトが可能となり、相
互配線の自由度が高くなり、可導イオンにたいし
て安定な相補形MOS型電界効果トランジスタ集
積回路が、よりコンパクトできるという効果を有

する。更に、不活性領域上の配線が高融点金属あ
るいは高融点金属化合物膜のみから成るため、配
線膜厚が薄く、従って、その上に層間膜を介して
ある第2の配線の被覆度がよいという効果を有す
る。

4. 図面の簡単な説明

第1図は、本発明の半導体装置の一実施例を示
す主要断面図。

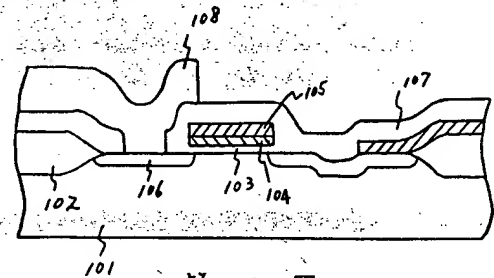
第2図は、本発明の半導体装置の一実施例を示
す主要平面図。

- 101・・・N形シリコン基板
- 102・・・シリコン酸化膜
- 103・・・ゲート酸化膜
- 104・・・N型多結晶シリコン膜
- 105・・・硅化モリブデン膜
- 106・・・P形拡散層
- 107・・・層間絶縁膜
- 108・・・アルミニウム配線膜

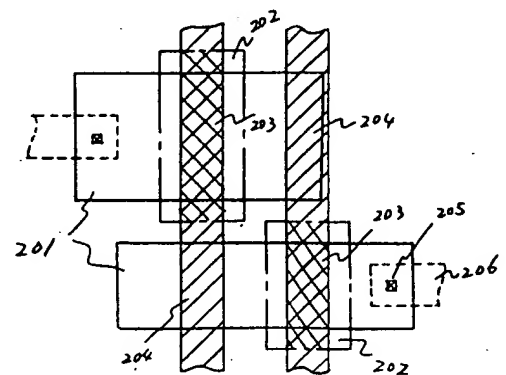
- 201・・・活性領域
- 202・・・ゲート電極を覆う領域
- 203・・・N型多結晶シリコン膜
- 204・・・硅化モリブデン膜
- 205・・・スルーホール
- 206・・・アルミニウム配線膜

以 上

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木 喜三郎(他1名)



第 1 図



第 2 図